

SCANNER

Patent Number: JP8152544

Patent Publication: JP07-30718

Publication date: 1995-01-31

Inventor(s): NAGANO BUNICHI

Applicant(s):: SHARP CORP

Application Number: JP19980153744 19930624

IPC Classification: H04N1/028 ; G06T1/00 ; H04N1/19

Abstract

PURPOSE:To provide a scanner with satisfactory image quality by driving a CCD sensor at frequencies higher than 10MHz, operating it at high speed, efficiently reading the light of a light source and converging it near a line.

CONSTITUTION:A control circuit 101 supplies the inverse of a signal ψ_i0 and SH' through a long signal cable to a CCD circuit board 102. On the other hand, CCD sensor transfer clocks ϕ_{i1} and ϕ_{i2} are generated at the CCD circuit board without being passed through the signal cable. Further, the control circuit 101 supplies signals $TCLAMP$, TRS , TAD , $TSEL$ and TL to an analog processing circuit 104. At the CCD circuit board, there is a CCD sensor 103. The CCD circuit board 102 supplies an odd side output V_{odd} and an even side output V_{even} to the analog processing circuit 104. The analog processing circuit 104 supplies signals $D0-D7$, which are sensed by the CCD sensor and analog/digital converted later, to the control circuit 101.

50081273 n prior art ver 4.2v

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3152544号

(P3152544)

(45) 発行日 平成13年4月3日 (2001.4.3)

(24) 登録日 平成13年1月26日 (2001.1.26)

(51) Int.Cl.

識別記号

F I

H 0 4 N 1/028

H 0 4 N 1/028

A

G 0 6 T 1/00

G 0 6 F 15/64

3 2 0 D

H 0 4 N 1/19

H 0 4 N 1/04

1 0 2

請求項の数6 (全 14 頁)

(21) 出願番号 特願平5-153744

(22) 出願日 平成5年6月24日 (1993.6.24)

(65) 公開番号 特開平7-30713

(43) 公開日 平成7年1月31日 (1995.1.31)

審査請求日 平成9年1月24日 (1997.1.24)

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 長野 文一

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100062007

弁理士 川口 義雄 (外1名)

審査官 堀井 啓明

(56) 参考文献 特開 昭52-155984 (J P, A)

特開 平1-122280 (J P, A)

特開 昭63-311856 (J P, A)

特開 平5-130329 (J P, A)

(58) 調査した分野 (Int.Cl., D B 名)

H04N 1/028

(54) 【発明の名称】 スキャナ

1

(57) 【特許請求の範囲】

【請求項1】 スキャナを駆動するための信号を生成する制御回路と、信号ケーブルを介して前記制御回路からの信号を受け取るCCD回路基板とを備えるスキャナであって、前記制御回路は前記CCD回路基板に10MHz以上のクロックを供給すべく、10MHz以上のクロックを発生する手段と、10MHz以上のクロックの電圧を減衰するための手段とを具備することを特徴とするスキャナ。

【請求項2】 減衰したクロックを正確に受け取るために、受け側のICの入力までに直流カット用コンデンサを直列に接続した請求項1に記載のスキャナ。

【請求項3】 スキャナを駆動するための信号を生成する制御回路と、信号ケーブルを介して前記制御回路からの信号を受け取るCCD回路基板とを備えるスキャナで

2

あって、前記CCD回路基板は、CCDセンサと、CCDセンサ用クロックを生成する手段と、CCDセンサの奇数側出力及び偶数側出力を増幅する増幅回路とから構成され、CCDセンサからの複数の出力が入力され1チップ上にCCDセンサの奇数側出力及び偶数側出力と同数のAD変換回路を集積したAD変換回路で、CCDセンサの複数の出力をアナログ、デジタル変換するアナログ処理回路を備えたことを特徴とするスキャナ。

【請求項4】 CCDセンサ転送用クロックを生成する手段を前記CCD回路基板内に設けたことを特徴とする請求項3に記載のスキャナ。

【請求項5】 CCDセンサ・リセットパルスを生成する手段を前記CCD回路基板内に設けたことを特徴とする請求項3に記載のスキャナ。

【請求項6】 CCD回路基板上に、直流カットのコン

デンサの一端にCCD信号を入力し、他端とDCレベルシフト用抵抗の2つの抵抗が直列に接続された接点とが接続され、該接点と増幅用抵抗及び増幅用トランジスタからなるCCD信号を増幅する1電源の増幅回路の入力端子とが接続され、増幅回路の出力端子から増幅されたCCD信号を出力するCCD出力増幅回路を備えたことを特徴とするスキャナ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1次元CCDセンサを用いたスキャナに関する。

【0002】

【従来の技術】近年、文書や図形データをコンピュータに入力するための手段として、または、デジタル複写機やファクシミリの入力手段として、スキャナが広く用いられている。

【0003】スキャナは読み取る原稿面に対し、光源から強い光をあて、原稿からの反射光を光学系を介して、イメージセンサ上に結像させる。イメージセンサは画素ごとに反射光の強弱、即ち原稿の濃淡に比例した電圧レベルに光電変換して画像を読み取る。これを増幅しAD変換にてデジタルデータとして上位システムに転送する。

【0004】一般的にイメージセンサは1ライン上に画素を配列した1次元CCDセンサが使用されており、機構部にて原稿を走査させることにより画像情報を読み取ることができる。

【0005】図6にスキャナの一般的な構成を示す。

【0006】スキャナは、原稿601が置かれるガラステーブル602と、その下方に位置する光源604と、光学ユニット603と、アナログ処理回路および制御回路609と、CCD回路基板608とアナログ処理回路および制御回路609とを接続する信号ケーブル610と、キャビネット611とを具備する。光学ユニット603は、ミラー605と、レンズ606と、CCD607と、CCD回路基板608とを有している。なお、612は光学ユニットを移動させるパルスモータである。

【0007】スキャン時には、光源604から出射した光はガラステーブル602を透過して原稿601を照射する。原稿601で反射された光は再度、ガラステーブル602を透過してミラー605で反射される。ミラー605で反射された光はレンズ606で集光されCCDセンサ607の受光面に照射される。

【0008】図2は、出力が2チャンネルのCCDセンサのブロック図である。S₁、S₂、・・・、S_{2n}は受光部、OSR₁、OSR₂、・・・、OSR_nは奇数側の受光部（奇数列に配置された受光部）のアナログ出力をシフトアウトするための奇数側シフトレジスタ、OTGは奇数側の受光部のアナログ出力を奇数側シフトレジスタに転送する転送ゲート、ESR₁、ESR₂、・・・、E

SR_nは偶数側の受光部（偶数列に配置された受光部）のアナログ出力をシフトアウトするための偶数側シフトレジスタ、ETGは偶数側の受光部のアナログ出力を偶数側シフトレジスタに転送する転送ゲート、OBUFは奇数側バッファアンプ、EBUFFは偶数側バッファアンプである。また、SHはシフトレジスタのシフト動作を開始するためのスタートパルス、φ₁₀、φ₂₀、φ_{1E}、φ_{2E}は転送パルス、φ_{R0}、φ_{RE}はリセットパルス、OCDOUTは奇数側受光部のCCD出力、ECCDOUTは偶数側受光部のCCD出力である。

【0009】例として、具体的な数値を入れると、n=1024で、2048素子のCCDセンサとなる。

【0010】

【発明が解決しようとする課題】CCD607を駆動する信号φ₁₀、φ_{1E}は、信号φ₁から生成される。φ₂₀、φ_{2E}は、信号φ₂から生成される。φ₁、φ₂の信号は、図6のアナログ処理回路及び制御回路609で生成された後、多大な遅延を引き起こす信号ケーブル610を介して、CCD607に供給される。この場合、長い電送経路の途中でφ₁、φ₂の位相がずれる可能性があり、CCD内の電荷の転送効率が悪くなる。その様子を図10(a)に示す。図10(b)は、位相ずれがない場合を示す。

【0011】また、CCD電荷のリセットパルスφ_{R0}、φ_{RE}はリセットパルスφ_Rから生成される。リセットパルスφ_Rはアナログ処理回路及び制御回路609で作られて信号ケーブル610を介して、CCD607に供給される。

【0012】リセットパルスφ_Rは高速クロックであるので、信号ケーブル610により生成される電波が問題である。現在、電波規制で各国で厳しく制限されている。

【0013】その他にもφ_Rを長い伝送経路で送られてくると、φ₁、φ₂との時間関係もバラツキが出る可能性がある。

【0014】また、φ₁、φ₂を生成するφ₀の反転信号は信号ケーブルにより電波ノイズを発生する。

【0015】また、高速処理のため、奇数側出力、偶数側出力の2チャンネルのCCDセンサを用い、さらに、奇数側出力、偶数側出力をそれぞれ独立のADコンバータでデジタル信号へ変換する場合、ADコンバータは1つ1つAD特性が異なるので、奇数側、偶数側でそれぞれの周期的な筋が発生する。

【0016】以上述べた問題により、CCDセンサーを高々数MHzでしか駆動できなかった。

【0017】また、図9Aに示すように光源の光が読み取りラインを中心に幅広く分散し、ごく一部の光しか利用できないため、画質が悪い。

【0018】本発明は、CCDセンサを10MHz以上で駆動できる高速動作可能なスキャナを提供することを

第1の目的とする。光源の光を効率よく読み取りライン近辺に集光することにより画質の良好なスキャナを提供することを第2の目的とする。

【0019】

【課題を解決するための手段】本発明のスキャナは、スキャナを駆動するための信号を生成する制御回路と、信号ケーブルを介して前記制御回路からの信号を受け取るCCD回路基板とを備えるスキャナであって、前記制御回路は前記CCD回路基板に10MHz以上のクロックを供給すべく、10MHz以上のクロックを発生する手段と、10MHz以上のクロックの電圧を減衰するための手段とを具備することを特徴とする。

【0020】この場合、減衰したクロックを正確に受け取る為に、受け側のICの入力までに直流カット用コンデンサを直列に接続してもよい。

【0021】第2の発明によるスキャナは、スキャナを駆動するための信号を生成する制御回路と、信号ケーブルを介して前記制御回路からの信号を受け取るCCD回路基板とを備えるスキャナであって、前記CCD回路基板は、CCDセンサと、CCDセンサ用クロックを生成する手段と、CCDセンサの奇数側出力及び偶数側出力を増幅する増幅回路とから構成され、CCDセンサからの複数の出力が入力され1チップ上にCCDセンサの奇数側出力及び偶数側出力と同数のAD変換回路を集積したAD変換回路で、CCDセンサの複数の出力をアナログ、デジタル変換するアナログ処理回路を備えたことを特徴とする。

【0022】この場合、CCDセンサ転送用クロックを生成する手段を前記CCD回路基板内に設けてもよい。

【0023】またこの場合、CCDセンサ・リセットパルスを生成する手段を前記CCD回路基板内に設けてもよい。

【0024】第3の発明によるスキャナは、CCD回路基板上に、直流カットのコンデンサの一端にCCD信号を入力し、他端とDCレベルシフト用抵抗の2つの抵抗が直列に接続された接点とが接続され、該接点と増幅用抵抗及び増幅用トランジスタからなるCCD信号を増幅する1電源の増幅回路の入力端子とが接続され、増幅回路の出力端子から増幅されたCCD信号を出力するCCD出力用増幅回路を備えたことを特徴とする。

【0025】

【0026】

【0027】

【0028】

【作用】第1の発明によれば、10MHz以上のクロックの電圧が減衰されているので、信号ケーブルによる電波ノイズは低く抑えられる。従って、高速動作が可能となる。

【0029】第2の発明によれば、複数のADコンバータが1チップ上につくられるので、複数のADコン

バータ間で特性のばらつきはない。従って、高速動作が可能となる。

【0030】第3の発明によれば、高速信号処理可能な増幅回路を備えるので、高速動作が可能となる。

【0031】

【0032】

【0033】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

10 【0034】図1は本発明の一実施例によるスキャナの回路ブロック図である。図6においてアナログ処理回路および制御回路609で示した制御回路101は、図6において608で示したCCD回路基板102に信号φ₀の反転信号およびSH'を供給する。また、制御回路101はアナログ処理回路104に対して、信号T CLAMP、TRS、TAD、TSEL、およびTLを供給する。CCD回路基板には、図2に示したCCDセンサ103がある。CCD回路基板102はアナログ処理回路104に対して、CCDセンサの奇数側出力V_{odd}および偶数側の出力V_{even}を供給する。アナログ処理回路104は制御回路101に対して、CCDセンサにセンスされた後アナログデジタル変換された信号D₀~D₇を供給する。

20 【0035】105は点灯回路であり、信号FLONが“1”の時、蛍光灯106をONさせる。107は、PM駆動回路で信号FORWARD=“1”の時に信号PMCLKが1回“1”に立ち上がるとパルスモータ108が図6の光学ユニット603を例えば1/16mm前進させる。信号FORWARD=“0”の時で信号PMCLKが1回“1”に立ち上がると、光学ユニット603を1/16mm後退させる。

30 【0036】図5は制御回路101の中のクロック発生回路を示す。発振器501の出力φ₀はインバータINV501の入力に接続されている。インバータ501の出力はインバータ502の入力に接続されている。INV502は信号TLを出力する。

40 【0037】また、発振器の501の出力φ₀はカウンタ502のT入力に接続されている。カウンタ502の出力CAはインバータINV503の入力に接続されている。インバータINV503の出力CAの反転信号はインバータ504の入力に接続されている。インバータ504は信号SH'を出力する。

50 【0038】また、発振器の501の出力φ₀はDフリップフロップDFFのT入力に接続されている。CAの反転信号はS入力に接続されている。R入力には電源5Vが接続されている。DフリップフロップDFFのQの反転信号出力φ₂はD入力に接続されている。DフリップフロップDFFのQ出力は信号φ₁として出力される。信号φ₀はインバータINV505の入力に接続されている。インバータINV505の出力φ₀の反転信

号はANDゲートGATEの1入力に接続されている。信号 ϕ_1 はANDゲートGATEの他方の入力に接続されている。ANDゲートGATEは信号TCLAMP、TAD、TSELを出力する。ANDゲートGATEの出力はインバータINV506の入力に接続されている。インバータINV506は信号TRSを出力する。

【0039】信号 ϕ_0 の反転信号は抵抗R501(300 Ω)の一端に接続されている。抵抗R501の他端は抵抗R502(300 Ω)の一端、抵抗R503(300 Ω)の一端、およびトランジスタTRのベースに接続されている。抵抗R502の他端は電源5Vに、抵抗R503の他端はアースに接続されている。トランジスタTRのコレクタはアースに接続されている。トランジスタTRのエミッタは抵抗R504(100 Ω)の一端に接続され、信号 ϕ_0 の反転信号を出力する。抵抗R504の他端は電源5Vに接続されている。

【0040】図3Aおよび図3Bは、CCD回路基板の回路図を示す。

【0041】信号 ϕ_0 の反転信号はコンデンサC101(0.1 μ F)の一端に接続されている。コンデンサC101の他端は抵抗R301(2.2K Ω)および抵抗R302(2.2K Ω)の一端に接続され、 ϕ_0' の反転信号を出力する。抵抗R301の他端は電源5Vに接続されている。抵抗R302の他端はアースに接続されている。

【0042】 ϕ_0' の反転信号はインバータINV101の入力に接続されている。インバータINV101は信号 ϕ_0 を出力する。

【0043】信号 ϕ_0 はDフリップフロップDFF101のT入力に接続されている。R入力は電源5Vに接続されている。Q出力は信号 ϕ_1 を出力する。Qの反転出力は信号 ϕ_2 を出力し、D入力に接続されている。信号SH'はインバータINV102の入力に接続されている。インバータINV102の出力はDフリップフロップDFF101のS入力およびインバータINV107の入力に接続されている。インバータINV107の出力は図2に示したCCDセンサCCDのSH入力に接続されている。

【0044】信号 ϕ_1 はインバータINV103の入力およびインバータINV105の入力に接続されている。インバータINV103の出力はCCDセンサCCDの ϕ_{10} 入力に接続されている。インバータINV105の出力はCCDセンサCCDの ϕ_{1E} 入力に接続されている。

【0045】信号 ϕ_2 はインバータINV104の入力、インバータINV106の入力、およびコンデンサC102(10PF)の一端に接続されている。インバータINV104の出力はCCDセンサCCDの ϕ_{20} 入力に接続されている。インバータINV106の出力はCCDセンサCCDの ϕ_{2E} 入力に接続されている。コン

デンサC102の他端は抵抗R303(2.2K Ω)および抵抗R304(3.3K Ω)の一端に接続され、信号 ϕ_2' を出力する。抵抗R303の他端は電源5Vに接続されている。抵抗R304の他端はアースに接続されている。

【0046】信号 ϕ_2' はインバータINV108の入力に接続されている。インバータINV108の出力は信号 ϕ_R を出力し、CCDセンサCCDの ϕ_{R0} 入力および ϕ_{RE} 入力に接続されている。

【0047】CCDセンサCCDのVDD入力およびGND入力はそれぞれ電源12V、アースに接続されている。

【0048】CCDセンサCCDのOCCDout出力およびECCDout出力はそれぞれ信号OCCDout、信号ECCDoutを出力する。

【0049】信号OCCDoutはトランジスタTR101のベースに接続されている。トランジスタTR101のコレクタは電源12Vに接続されている。トランジスタTR101のエミッタは抵抗R305(470 Ω)を介してアースに接続され、直流カットコンデンサC103(1 μ F)の一端に接続されている。直流カットコンデンサC103、DCレベルシフト用抵抗R306、R307、増幅用抵抗R308、R309および増幅用トランジスタTR102は高速のCCD信号を増幅する1電源で可能な安価で高速信号処理が可能な増幅回路を構成する。従来、増幅回路としてはオペアンプを用いていたが、10MHz以上を増幅する増幅回路は高価でさらに正負の電源が必要であった。コンデンサC103の他端は信号Vodd1を出力し、DCレベルシフト用抵抗R306(10K Ω)を介して電源12Vに接続され、DCレベルシフト用抵抗R307(1.8K Ω)を介してアースに接続されている。信号Vodd1は増幅用トランジスタTR102のベースに接続されている。トランジスタTR102のコレクタは信号Vodd2を出力し、増幅用抵抗R308(330 Ω)を介して電源12Vに接続されている。トランジスタTR102のエミッタは増幅用抵抗R309(100 Ω)を介してアースに接続されている。信号Vodd2はトランジスタTR103のベースに接続されている。トランジスタTR103のコレクタは電源12Vに接続されている。トランジスタTR103のエミッタは信号Voddを出力し、抵抗R310(220 Ω)を介してアースに接続されている。

【0050】OCCDout以降、奇数側出力の回路の説明をした。ECCDout以降、偶数側出力の回路は、奇数側出力と同様の構成をとるので、ここでは説明を省略する。

【0051】図4Aおよび図4Bはアナログ処理回路を示す。

【0052】信号VoddはコンデンサC401(1 μ

(5)

特許第3152544号

9

10

F)の一端に接続されている。コンデンサC401の他端は抵抗R401(3.3K Ω)の一端、抵抗R402(2.2K Ω)の一端、及び、トランジスタTR401のベースに接続されている。抵抗R401の他端は電源5Vに接続されている。抵抗R402の他端はアースに接続されている。トランジスタTR401のコレクタはアースに接続されている。トランジスタTR401のエミッタは抵抗R403(470 Ω)を介して電源5Vに接続されている。また、エミッタはトランジスタTR402のベースに接続されている。トランジスタTR402のコレクタは電源5Vに接続されている。トランジスタTR402のエミッタは抵抗R404(470 Ω)を介してアースに接続されている。また、トランジスタTR402のエミッタはコンデンサC402(1000PF)の一端に接続されている。コンデンサC402の他端は信号V1oddを出力する。

【0053】信号V1oddはトランジスタTR403のベースに接続されている。信号V1oddはアナログスイッチASW401のドレインに接続されている。アナログスイッチASW401のゲートには信号TCLAMPが接続されている。アナログスイッチASW401のソースは抵抗R415(330 Ω)を介して電源5Vに、抵抗R416(220 Ω)を介してアースに、コンデンサC407の一端に接続されている。コンデンサC407の他端はアースに接続されている。トランジスタTR403のコレクタは電源5Vに接続されている。エミッタは抵抗R405(470 Ω)を介してアースに接続されている。また、エミッタはダイオードD401の一端に接続される。ダイオードD401の他端は抵抗R406(10 Ω)の一端に接続される。抵抗R406の他端は信号V2oddを出力し、コンデンサC403(470PF)に接続されている。信号TRSはバッファBUFF401の入力に接続されている。バッファBUFF401の出力は信号V2oddに接続されている。

【0054】信号V2oddはトランジスタTR404のベースに接続されている。コレクタはアースに接続されている。エミッタは信号ADINoddを出力し、抵抗R407(470 Ω)を介して、電源5Vに接続されている。信号ADINoddはADコンバータDADCのアナログ入力に接続されている。ADコンバータDADCにはADコンバータ・サンプリング信号TADが供給されている。ADコンバータDADCの奇数側デジタル出力OD0~OD7はデータセクタ401の1入力に接続されている。DAコンバータDADCの偶数側デジタル出力ED0~ED7はデータセクタの他方の入力に接続されている。データセクタ401にはセレクト信号TSELが供給されている。データセクタ401の出力D'0~D'7はラッチ回路LATCHの入力に接続されている。ラッチ回路LATCHはデータD0~D7を出力する。ラッチ回路LATCHにはラッチ信号TL

が供給される。

【0055】上記に示した構成からなるスキヤナの動作を説明する。

【0056】図7Aおよび7Bにスキヤナのタイミングチャートを示す。基本クロック ϕ_0 、1028進カウンタの1028進出力CA、CCDセンサ駆動信号 ϕ_1 、 ϕ_2 、 ϕ_0' の反転信号、信号 ϕ_0 、信号 ϕ_2' 、CCDセンサの出力バッファリセット信号 ϕ_R 、CCDセンサ奇数側出力OCCDout、アナログ処理回路駆動信号V1odd、V2odd、クランプ信号TCLAMP、奇数側信号V1odd、V2odd、奇数側ADコンバータ入力信号ADINodd、ADコンバータ・サンプリング信号TAD、ラッチ信号TLのタイミングが示されている。

【0057】図5において発振器の出力は ϕ_0 となり、インバータ1NV501及び1NV502によりラッチ用信号TLが生成される。又カウンタ502は、1028進カウンタでそのクロックは ϕ_0 である。 ϕ_0 を1028ケカウントする度に、1028進出力CAを1クロック分Highとする(図7A参照)。1028進出力CAはインバータ1NV503及び1NV504によりSH'と成る。

【0058】DフリップフロップDFFの出力 ϕ_1 はCAのLow期間でセットされ、それ以後の ϕ_0 の立ち上がり毎に反転される。 ϕ_2 は ϕ_1 を反転した信号である。

【0059】TCLAMP=TAD=TSELは ϕ_1 と ϕ_0 の反転信号をANDした出力信号である。

【0060】TRのベース電位は ϕ_0 の反転信号が0Vの時、約1.67Vで、5Vの時、約3.33Vとなる。従って、トランジスタTRのベース・エミッタ間電圧を0.8Vとした時、 ϕ_0 の反転信号は、約2.47Vより約4.13Vに振幅する信号である。CCD回路基板で ϕ_1 、 ϕ_2 を作るクロック ϕ_0 の反転信号は ϕ_0 の反転信号を減衰した信号となり ϕ_0 の反転信号は約5VPPの信号であり ϕ_0 の反転信号は約1.66Vppの信号である。従って、この ϕ_0 は長い信号ケーブル610を用いて伝達されるが電波ノイズをあまり出さない。

【0061】図3に示したCCD回路基板では、次の動作が行われる。

【0062】 ϕ_0 の反転信号は、図6に示したアナログ処理回路及び制御回路609より信号ケーブル610を用いて送られてくる。Highレベル約4.13V、Lowレベル約2.47Vの信号である。

【0063】この小さい振巾の信号を受ける為、受け側のCCD回路基板では直流カットのコンデンサを直列に設け、受け側のIC(INV101ここでは、74AC04)のスレッショールド(ここでは約2.5V)中心に ϕ_0 の反転信号をレベルシフトした信号 ϕ_0' の反転信号で受け確実に信号を伝達する。

【0064】 ϕ_0 の反転信号は直流カット用コンデンサ

C101 (0.01μF) を介し、R301、R302 の中点へ接続されている。R301=R302=2.2kΩであるのでインバータINV101の平均直流電位は2.5Vである。又INV101は74ACO4でその入力のスレッシュホールド電圧は概略その電源電圧5Vの半分である2.5Vである。

【0065】つまり、INV101の入力信号φ₀' の反転信号の平均直流電位は、INV101の入力のスレッシュホールド電位となるべくR301及びR302の値が決定されている。

【0066】従って、φ₀' の反転信号は図7Aに示すように2.5Vを中心に振巾する。

【0067】ここでC101×R301の時定数は、φ₀=φ₀'の周期(100nsec)より十分長く設定されている。ここでC101=0.1μF、R301=2.2kΩなので、C101×R301は22μsecとなる。

【0068】DフリップフロップDFF101のQ及びQの反転出力φ₁、φ₂は図5のφ₁、φ₂と同じ信号になる。(図7A参照)

ここでφ₂はC102(10PF)を介し、R303とR304の中点に接続されている。その中点はINV108の入力に接続されている。

【0069】ここでその中点の平均直流電位は3Vに設定され、INV108(74ACO4)の入力のスレッシュホールドより1V高く設定されている。又、C102の容量は10PFと小さく設定されている。

【0070】ここでφ₂がHighよりLowに下がると、その一瞬φ₂'は図7Aに示すように2.5Vより下がりそこから

【0071】

【数1】

$$C102 \times \left(\frac{R303 \times R304}{R303 + R304} \right) \\ = 10PF \times \left(\frac{R303 \times R304}{R303 + R304} \right) \\ \approx 13nsec$$

【0072】の時定数で3Vに近づく、従ってINV108の出力φ_Rは、φ₂の立ち下がりより概略約10nsecの巾を持つパルス信号となる。

【0073】図3に於いて、INV103、INV104、INV105、INV106は74AC240でありφ₁₀、φ₂₀、φ_{1E}、φ_{2E}をCCDセンサCCDへ与える。

【0074】CCDはOTGの奇数側トランスファークローク、ETGの偶数側トランスファークロークにシフトパルスSHを受け、センサー部で受光蓄積した電荷をそれ

ぞれ奇数側アナログシフトレジスター、偶数側アナログシフトレジスターへ転送する。それぞれのアナログシフトレジスターに転送された電荷はそれぞれクロックφ₁₀、φ₂₀、φ_{1E}、φ_{2E}により奇数側出力バッファおよび偶数側出力バッファへ転送される。

【0075】それぞれの出力バッファに転送された電荷は、それぞれφ_{RO}、φ_{RE}(結局φ_{RO}、φ_{RE}=φ_R)でリセットされる。

【0076】ここでφ₁₀=φ_{1E}=φ₁の反転信号、φ₂₀=φ_{2E}=φ₂の反転信号、φ_{RO}=φ_{RE}=φ_Rであるから、それぞれの出力バッファの出力OCCDoutとECCDoutは全くの同相(同タイミング)信号である。従って、以後奇数側信号についてのみ説明をする。

【0077】図3に於いてOCCDOUTは、TR101のエミッタフォロワでインピーダンス変換されてC103(1μF)に接続され、その一端はR306とR307の中点とTR102のベースに接続されている。R306は10kΩ、R307は1.8kΩであるのでV_{1odd}の平均直流電位は約1.8Vである。TR102のベース・エミッタ間電圧が0.8Vとすると、TR102のエミッタの平均直流電位は約1.0Vである。もし、ここで1.0Vを基準に電位がΔx変化した時その時のTR102のエミッタ電流をI_E+ΔI_Eとすると、

【0078】

【数2】

$$I_E + \Delta I_E = \frac{(1.0 + \Delta x)}{R309} \\ = \frac{(1.0 + \Delta x)}{100}$$

【0079】この時、コレクタ電流≒エミッタ電流とすると、その時のコレクタ電位は、

【0080】

【数3】

$$12 - V_C = 12 - R308 \cdot (I_E + \Delta I_E) \\ = 12 - \frac{330}{100} (1.0 + \Delta x) \\ = 12 - 3.3 - 3.3 \cdot \Delta x$$

【0081】となる。

【0082】つまりV_{1odd}の電位がΔx変化すればV_{2odd}は一約3.3倍に反転増幅されることになる。(つまりOCCDout信号で約250mVはV_{2odd}では約800mVに増幅される。)(図7B参照)

V_{2odd}はTR103とR310のエミッタフォロワ回路でインピーダンス変換されて、次のアナログ処理回

路へ送られる。

【0083】図4のアナログ処理回路の動作を説明する。

【0084】 V_{odd} は直流カット用のコンデンサC401を介し、R401とR402の midpoint に接続されている。TR401のベースの電位は、その平均直流電位が約2Vであるように振幅する。TR401、TR402はそれぞれエミッタフォロアであり、インピーダンス変換用である。TR402のエミッタは1000PFのC402の一端に接続され、その他端はアナログスイッチASW401の一端に接続され、その他端はR415とR416で構成される2V電位に接続されている。又、アナログスイッチASW401の制御入力信号としてはTCLAMPが与えられている。図7BのOCCDoutに於いて、斜線部分が光信号に相当する部分で ϕ_R でリセットされた後より次の光信号部分が現われるまでが真の黒レベル（光信号が0の時の出力レベル）である。

【0085】 V_{odd} はOCCDoutを反転増幅した信号である。

【0086】又アナログスイッチASW401の制御入力信号TCLAMPが“high”の時、アナログSWは“ON”する。従って、図7Bに示すように、 V_{odd} は V_{odd}^2 をレベルシフトし、真の黒レベルが2Vと固定されている。

【0087】TR403はエミッタフォロワを構成しており、そのエミッタはダイオード、D401及びR406（10 Ω ）を介しC403（470PF）に接続されている。

【0088】ここでC403には、正方向のピーク値が保持され1回1回、オープンドレインの出力を持つBUFF401（74AC07）でリセットされる。

【0089】BUFF401はそれの入力信号TRSが“high”の期間はC403の電荷を保持し、“Low”の期間は放電する。

【0090】TR404はエミッタフォロワを構成している。

【0091】TR403のベースエミッタ電圧が0.8V、D401の順方向電圧が0.8Vとした時、 V_{odd}^2 の直流電位は図7Bに示される様になる。

【0092】TR404のベースエミッタ電圧が0.8Vとすると、信号ADInoddに於いて、真の黒レベルは約1.2Vであり、光信号は1.2Vより2.0Vの間で現われる。

【0093】DADCは2ケの8bit ADコンバータが1チップ上に集積されたデュアルADコンバータである。ここで、2つのアナログ入力に対し、各々1.1Vより2.1Vの間を8bit（0より255ステップ）にアナログ・デジタル変換するようにして調整されていてTADの立ち上がりでAD変換される。

【0094】ここで、2ケのADを1チップ上に集積す

る理由は、イメージスキヤナの読み取り原稿が一様な明るさで仮に、AD1NoddもAD1Nevenも1.6Vを示したとする。この場合に於いて、2ケの別々のADコンバータでAD変換した場合、奇数側の出力が128、偶数側の出力が130となる可能性が大である。これを1チップ上に集積された2ケのADを使用する場合、奇数側/偶数側共にその出力が128 or 130 or 126となり、スキヤナ1台、1台の間ではバラツク可能性はあるが、1台の中の奇数側/偶数側出力の差はない。

【0095】

DADCの奇数側8bit出力OD0、OD2、…OD6、OD7

DADCの偶数側8bit出力ED0、ED2、…ED6、ED7

は次のデータセクタへ接続されている。

【0096】その出力は、

TSEL = “1” の時 $D'_0 = OD_0$ 、 $D'_1 = OD_1$ … $D'_7 = OD_7$

TSEL = “0” の時 $D'_0 = ED_0$ 、 $D'_1 = ED_1$ … $D'_7 = ED_7$

となる。

【0097】次のLATCHは、そのラッチ用信号TLは ϕ_0 と同じであるので、結局CCDの出力信号を1番目、2番目…と順次AD変換した信号D0、D1、D2、…D6、D7を制御回路101へ送る。

【0098】次に、読み取りラインに集光する集光ユニットの実施例について説明する。

【0099】図6に示した従来技術に対し、図8に示すように円錐台状の集光ユニット801を追加する。この集光ユニットは屈折率nが空気より大きい。n=1より大きい材質（例えばアクリル）で構成されている。

【0100】n=1より大きい物質の中よりn \leq 1の物質である外部へ光が出ようとするとき全反射（100%の効率で反射する）することが公知である。

【0101】本実施例はこの原理を利用し、図9Aに示す従来のスキヤナの様に光源の光が読み取りラインを中心に巾広く分散し、結局ごく一部の光しか利用できなかったのを改良する。光源の光を効率よく読み取りライン近辺に集光するユニット図9B（a）に於いて、集光ユニットの屈折率はn=1.3とする。ここで光線Bは集光ユニットの中で1回、光線Cは集光ユニットの中で2回反射するが反射率100%であるので効率よく集光可能である。

【0102】集光ユニットは、図9Cに示すようにミラー901を用い構成することも可能である。図9C

（a）の901の内面がミラーとなっている。ミラーの形状としては、図9C（b）に示すような外形が円錐台形状をなす筒状体または図9（c）に示すような外形が角錐台形状なす筒状体が考えられる。これらの内面を鏡

面仕上げをする。しかし、ミラーの反射率は85%程度であり、特に複数回反射する光に対しては非常に効率を下げる。

【0103】尚、本実施例による集光ユニットは、図1、図3A、B、図4A、B、図5、図7A、Bに基づき説明した先の実施例によるスキャナにも、当然、用いることができる。

【0104】

【発明の効果】以上、詳述したように本発明のスキャナは、制御回路はCCD回路基板に10MHz以上のクロックを供給すべく、10MHz以上のクロックを発生する手段と、10MHz以上のクロックの電圧を減衰するための手段とを具備するので、信号ケーブルによる電波ノイズが発生しない。従って、高速動作が可能となる。

【0105】第2の発明によるスキャナは、CCD回路基板は、CCDセンサと、CCDセンサ用クロックを生成する手段と、CCDセンサの奇数側出力及び偶数側出力を増幅する増幅回路とから構成され、CCDセンサからの複数の出力が入力され1チップ上にCCDセンサの奇数側出力及び偶数側出力と同数のAD変換回路を集積したAD変換回路で、CCDセンサの複数の出力をアナログ、デジタル変換するアナログ処理回路を備えたので、個々のAD変換回路のバラツキを奇数出力と偶数出力の両者間の差の発生を防止することができる。従って、高速動作が可能となる。

【0106】第3の発明によるスキャナにおいて、CCD回路基板上に、直流カットのコンデンサの一端にCCD信号を入力し、他端とDCレベルシフト用抵抗の2つの抵抗が直列に接続された接点とが接続され、該接点と増幅用抵抗及び増幅用トランジスタからなるCCD信号を増幅する1電源の増幅回路の入力端子とが接続され、増幅回路の出力端子から増幅されたCCD信号を出力するCCD出力用増幅回路を備えたので、高速信号処理可

能である。従って、高速動作が可能となる。

【0107】

【0108】

【図面の簡単な説明】

【図1】本発明の一実施例によるスキャナのブロック図である。

【図2】CCDセンサのブロック図である。

【図3A】CCD回路基板の回路図である。

【図3B】CCD回路基板の回路図である。

【図4A】アナログ処理回路の回路図である。

【図4B】アナログ処理回路の回路図である。

【図5】制御回路の中のクロック発生回路図である。

【図6】スキャナの構成図である。

【図7A】スキャナのタイミングチャートである。

【図7B】スキャナのタイミングチャートである。

【図8】読み取りラインへの集光に関する実施例を示す図である。

【図9A】集光に関する従来例を示す図である。

【図9B】集光に関する実施例を示す図である。

【図9C】集光にミラーを用いた場合の実施例を示す図である。

【図10】従来例と実施例のCCDセンサ駆動パルスの違いを示す図である。

【符号の説明】

101 制御回路

102 CCD回路基板

103 CCDセンサ

104 アナログ処理回路

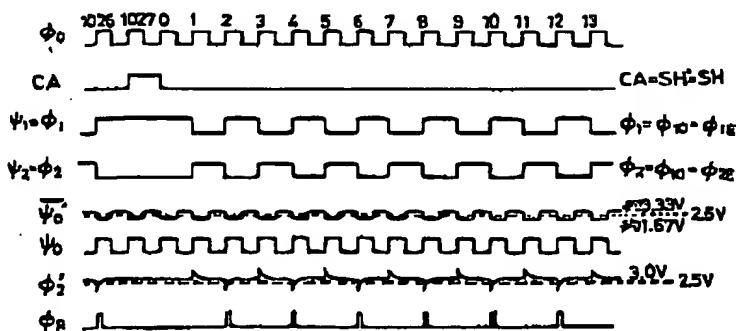
105 点灯回路

106 蛍光灯

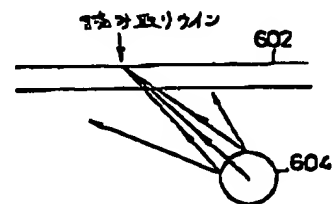
107 PM駆動回路

108 パルスモータ

【図7A】

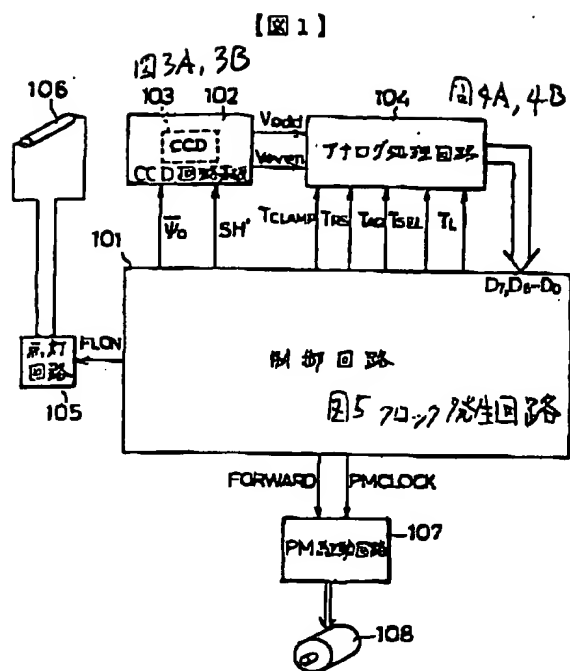


【図9A】

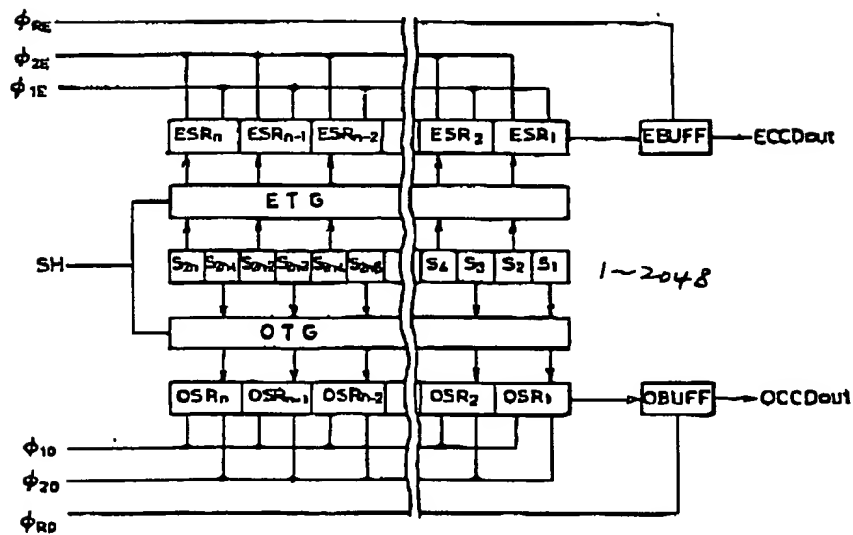


(9)

特許第3152544号

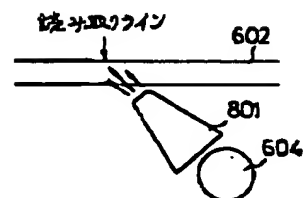


【図2】

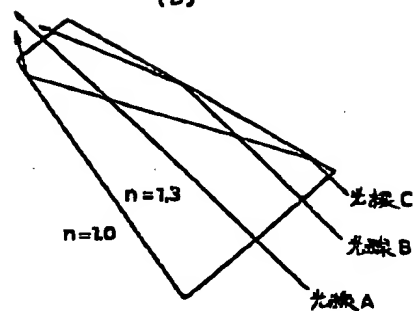


【図9B】

(a)

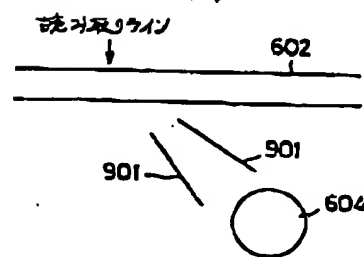


(b)

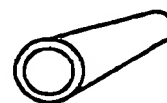


【図9C】

(a)



(b)



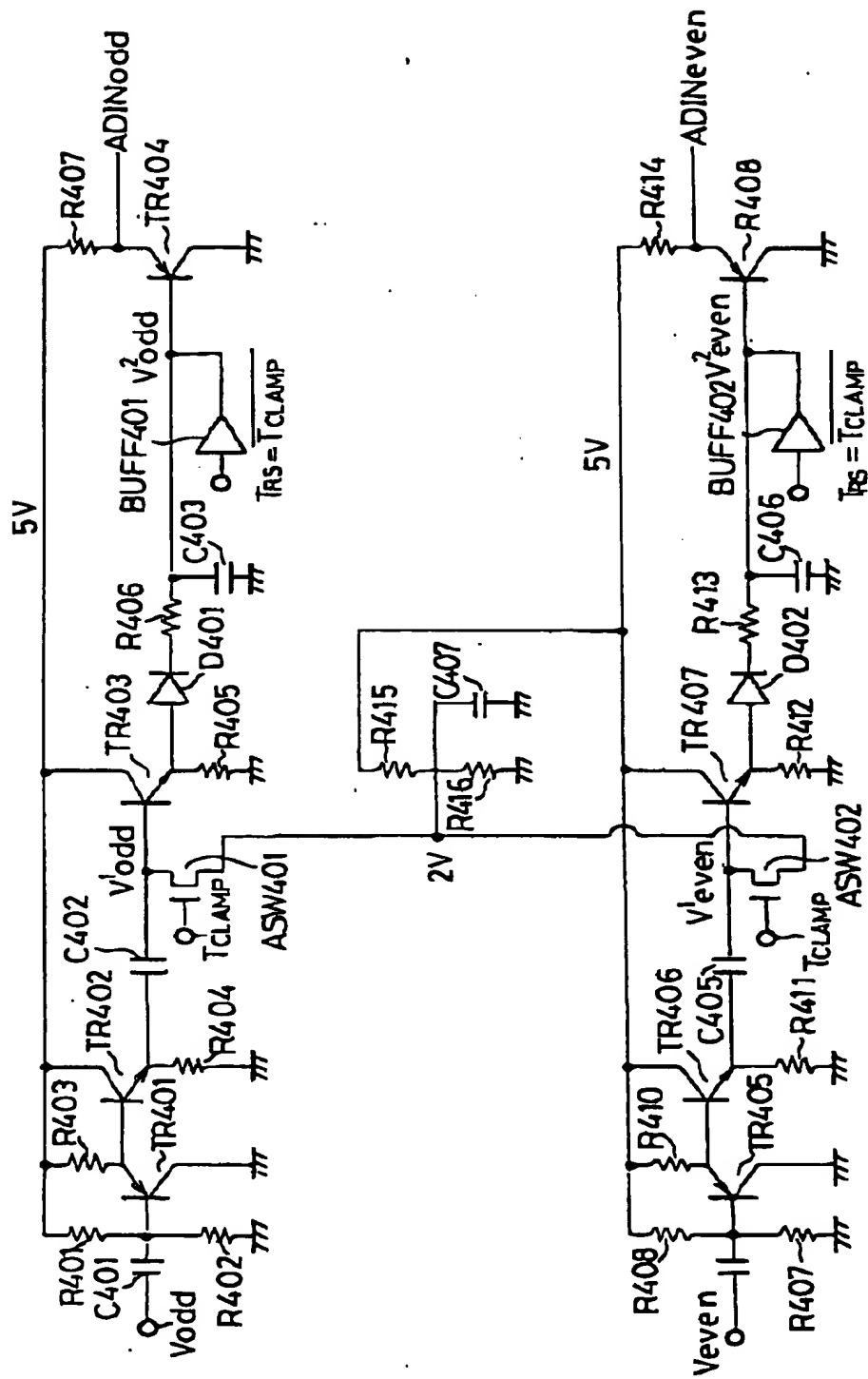
(c)



特許第3152544号

The diagram shows the internal structure of the DADC and DATA SELECTOR. The DADC block has two inputs: ADINodd and ADINEven. It has eight outputs: OD7, OD6, OD5, OD4, OD3, OD2, OD1, and OD0. The DATA SELECTOR block has eight inputs: ED7, ED6, ED5, ED4, ED3, ED2, ED1, and ED0. It has eight outputs: D'7, D'6, D'5, D'4, D'3, D'2, D'1, and D'0. The DADC and DATA SELECTOR blocks are connected to a common bus labeled 401. The DATA SELECTOR block is also connected to a LATCH block. The LATCH block has eight outputs: D7, D6, D5, D4, D3, D2, D1, and D0. The LATCH block is controlled by a clock signal TL = ϕ_0 . The DADC and DATA SELECTOR blocks are also connected to a common bus labeled TAD = TCLAMP and TSEL = TCLAMP.

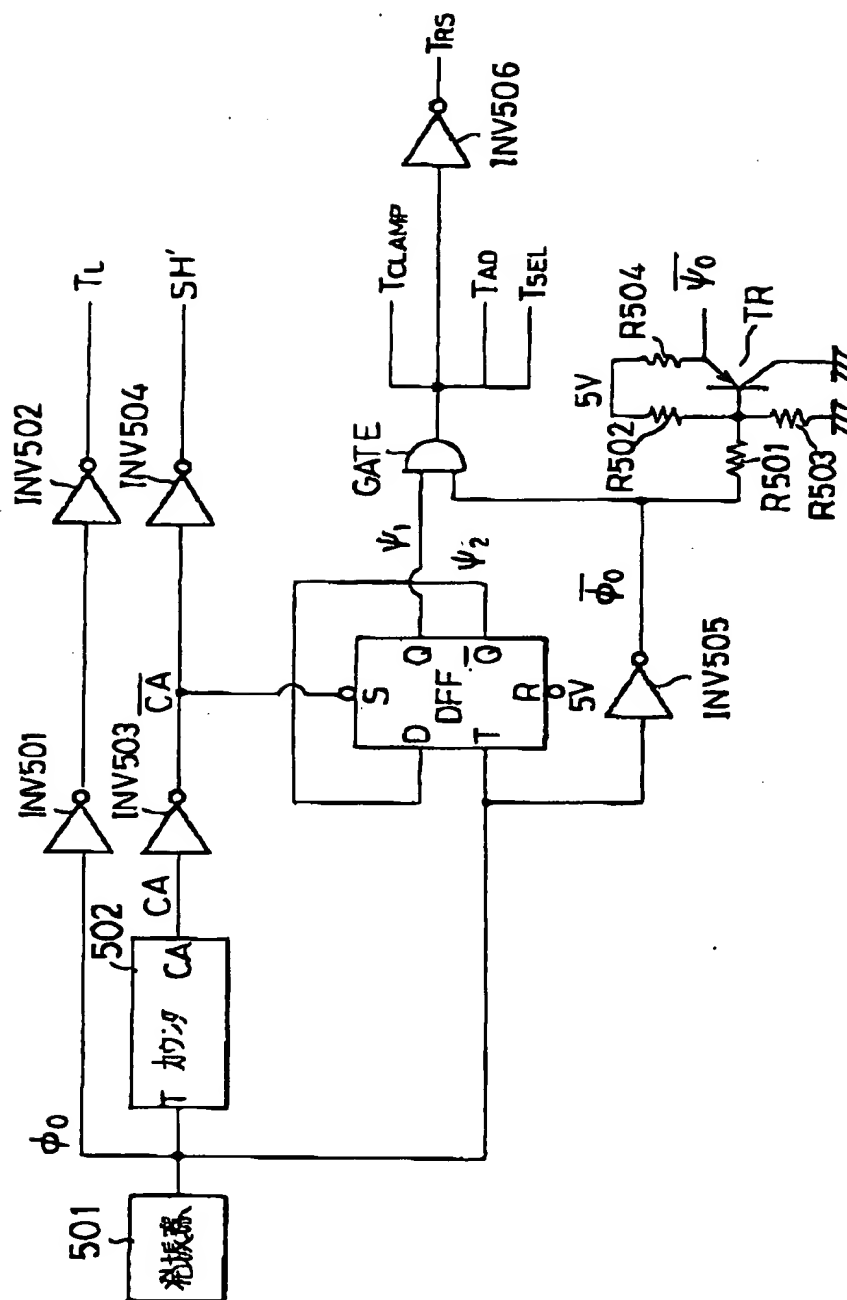
【図4A】



(13)

特許第 3 1 5 2 5 4 4 号

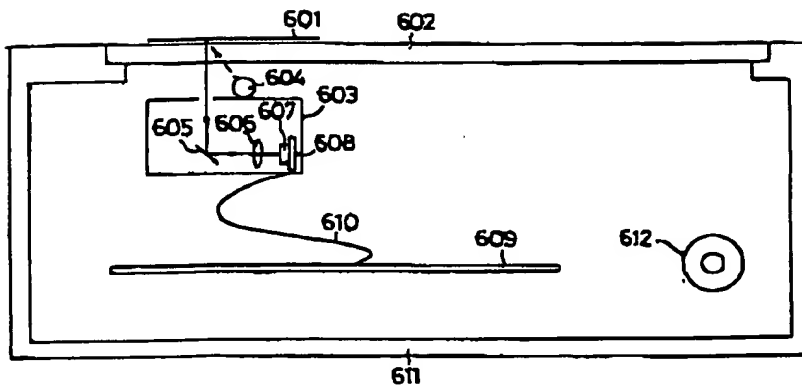
【図 5】



(14)

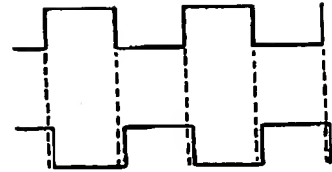
特許第 3 1 5 2 5 4 4 号

【図 6】

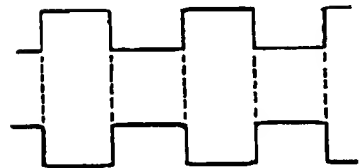


【図 10】

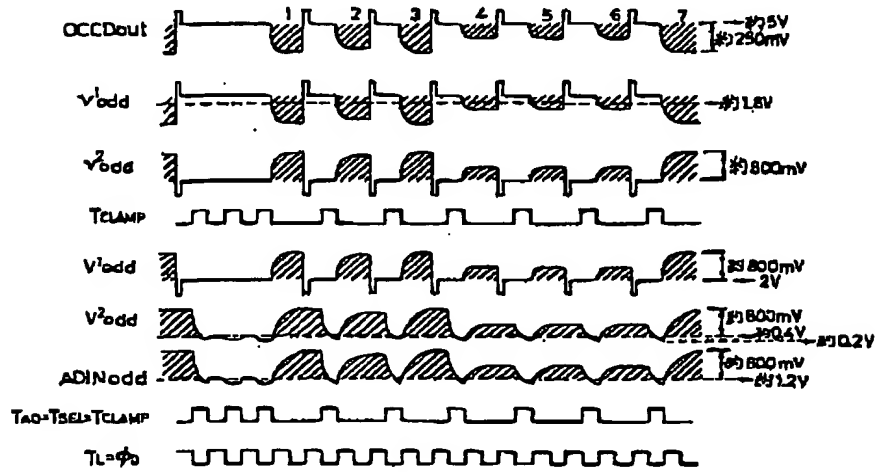
(a)



(b)



【図 7 B】



【図 8】

